

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of: Hiroyasu ENJO

Conf.:

Appl. No.:

Group:

Filed: September 24, 2003

Examiner:

Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE
HAVING ROM DECODER FOR CONVERTING
DIGITAL SIGNAL TO ANALOG SIGNAL

CLAIM TO PRIORITY

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

September 24, 2003

Sir:

Applicant(s) herewith claim(s) the benefit of the
priority filing date of the following application(s) for the
above-entitled U.S. application under the provisions of 35
U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2002-282088	September 27, 2002

Certified copy(ies) of the above-noted application(s)
is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON



Benoit Castel, Reg. No. 35,041

745 South 23rd Street
Arlington, VA 22202
Telephone (703) 521-2297

BC/ia

Attachment(s): 1 Certified Copy(ies)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月27日

出 願 番 号

Application Number:

特願2002-282088

[ST.10/C]:

[JP 2002-282088]

出 願 人

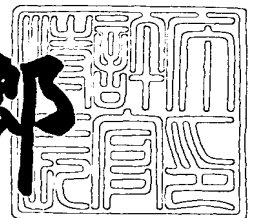
Applicant(s):

関西日本電気株式会社

2003年 7月 1日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3051803

【書類名】 特許願

【整理番号】 KNP2902218

【提出日】 平成14年 9月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/20 623
G02F 1/133 550

【発明の名称】 液晶駆動用半導体集積回路装置

【請求項の数】 3

【発明者】
【住所又は居所】 滋賀県大津市晴嵐 2 丁目 9 番 1 号
関西日本電気株式会社内

【氏名】 円城 啓裕

【特許出願人】
【識別番号】 000156950
【氏名又は名称】 関西日本電気株式会社
【代表者】 貴志 禎之

【手数料の表示】
【予納台帳番号】 014007
【納付金額】 21,000円

【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶駆動用半導体集積回路装置

【特許請求の範囲】

【請求項 1】

階調レベルを表す n (n は 2 以上の整数) ビットのデータ信号に対応して 2 の n 乗階調の階調電圧のうちの 1 つの階調電圧を選択する n ビットの ROM デコーダを有し、その ROM デコーダは、1 ビットごとに、データ信号が正転および反転で入力される対向する一対のゲート配線が配置され、その一対のゲート配線のそれぞれに、2 の n 乗対からなるエンハンスメント形トランジスタとデプレッション形トランジスタ (常時オン状態) とが、片方ずつで所定配置された液晶駆動用半導体集積回路装置において、

前記一対のゲート配線のそれぞれのゲート配線において、前記デプレッション形トランジスタ上を含み前記エンハンスメント形トランジスタまでのゲート配線幅を前記対向する内側で凹状になるように幅狭にしたことを特徴とする液晶駆動用半導体集積回路装置。

【請求項 2】

前記一対のゲート配線のそれぞれのゲート配線において、前記エンハンスメント形トランジスタが連続配置されたエンハンスメント形トランジスタ間のゲート配線幅を前記対向する内側で凹状になるように幅狭にしたことを特徴とする請求項 1 記載の液晶駆動用半導体集積回路装置。

【請求項 3】

前記幅狭なゲート配線幅が、エンハンスメント形トランジスタ上のゲート配線幅の 2 分の 1 であることを特徴とする請求項 1 または請求項 2 記載の液晶駆動用半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶駆動用半導体集積回路装置に関し、特に画像データとして供給されたデジタル信号である階調レベルを表す n ビット (n は 2 以上の整数) のデー

タ信号をアナログ信号である2のn乗階調の対応するレベルの階調電圧に変換するROMデコーダを有し、この階調電圧で液晶パネルのデータ線を駆動する液晶駆動用半導体集積回路装置に関する。

【0002】

【従来の技術】

液晶表示装置が、薄型、軽量、低電力という特長から、パソコンなど様々な装置に用いられ、特に画質を高精細に制御するのに有利であるアクティブマトリックス方式のカラー液晶表示装置が主流を占めている。

【0003】

この種の液晶表示装置の液晶表示モジュールは、図2に示すように、液晶パネル（LCDパネル）101と、半導体集積回路装置（以下、ICという）からなる制御回路（以下、コントローラという）102と、ICからなる複数個の走査側駆動回路（以下、走査側ドライバという）103およびデータ側駆動回路（以下、データ側ドライバという）104とを具備している。液晶パネル101は、詳細を図示しないが、透明な画素電極および薄膜トランジスタ（TFT）を配置した半導体基板と、面全体に1つの透明な電極を形成した対向基板と、これら2枚の基板を対向させて間に液晶を封入した構造からなり、対向基板電極に所定の電圧（以下、コモン電圧 V_{com} という）を供給するとともに、スイッチング機能を持つTFTを制御することにより各画素電極に所定の電圧を印加し、各画素電極と対向基板電極との間の電位差により液晶の透過率を変化させて画像を表示するものである。ここで、画像を中間調表示（階調表示）するために各画素電極には所定の電圧として可変の電圧（以下、階調電圧という）が印加される。半導体基板上には、各画素電極へ印加する階調電圧を送るデータ線と、TFTのスイッチング制御信号（走査信号）を送る走査線とが配線されている。

【0004】

コントローラ102は、入力側がPC（パソコン）105に接続され、出力側が走査側ドライバ103およびデータ側ドライバ104に接続されている。走査側ドライバ103およびデータ側ドライバ104の出力側は、液晶パネル101の走査線およびデータ線にそれぞれ接続されている。走査側ドライバ103およ

びデータ側ドライバ104は、製造上の制限よりチップサイズが制限され、従って、IC1個で出力できる走査線およびデータ線に対応する出力数も制限され、液晶パネル101のサイズが大きい場合、それぞれ複数個を液晶パネル101の外周に配置する必要がある。例えばXGA（1024×768画素）カラー表示の液晶パネルの場合の各ドライバ103，104のモジュールへの実装は、

①走査側ドライバ103は、768本のゲート線を駆動する必要がある、例えば192本分の駆動能力を有する場合、4個必要とし、液晶パネル101の左側外周にカスケード接続で片側配置される。

②データ側ドライバ104は、1画素をカラー表示するためにデータ線はR（赤）、G（緑）、B（青）用の3本が必要なため、 $1024 \times 3 = 3072$ 本のデータ線を駆動する必要がある、例えば、384本分の駆動能力を有する場合、8個を必要とし、液晶パネル101の上側外周にカスケード接続で片側配置される。

尚、図示しないが、対向基板電極には、コモン電圧V_{com}を供給するための電源回路が接続されている。

【0005】

PC105から画像データが液晶表示モジュールのコントローラ102に送られ、コントローラ102から走査側ドライバ103には、クロック信号等が各走査側ドライバ103に並列に送られ、垂直同期用のスタート信号STVが初段の走査側ドライバ103に送られ、カスケード接続された次段以降の走査側ドライバ103に順次転送されていく。また、コントローラ102からデータ側ドライバ104には、クロック信号等のタイミング信号やデータ信号が各データ側ドライバ104に並列に送られ、水平同期用のスタート信号STHが初段のデータ側ドライバ104に送られ、カスケード接続された次段以降のデータ側ドライバ104に順次転送されていく。そして、走査側ドライバ103から各走査線にはパルス状の走査信号が送られ、走査線に印加された走査信号がハイレベルのとき、その走査線につながるTFTが全てオンとなり、そのときデータ側ドライバ104からデータ線に送られた階調電圧が、オンとなったTFTを介して画素電極に印加される。このとき、図示しない電源回路から対向基板電極にコモン電圧V_{co}

mが供給される。そして、走査信号がローレベルとなり、T F Tがオフ状態に変化すると、画素電極と対向基板電極との電位差は、次の階調電圧が画素電極に印加されるまでの間保持される。そして、各走査線に順次走査信号を送ることにより、全ての画素電極に所定の階調電圧が印加され、フレーム周期で階調電圧の書き替えを行うことにより画像を表示することができる。

【 0 0 0 6 】

上述のデータ側ドライバ104として、階調電圧を出力するために、入力された階調レベルを表すデジタル信号をアナログ信号の階調電圧に変換するROMデコーダを備えたものがある（例えば、特許文献1参照。）。以下、特許文献1に記載のドット反転駆動法を用いたデータ側ドライバについて、データ線S本として384本分の駆動能力を有するものとして図3乃至図8を参照して説明する。先ず、データ側ドライバの概略構成について図3を参照して説明する。図において、データ側ドライバ120は画像データとしてR、G、B各色n（nは2以上の整数）=6ビットのデータ信号DATAを供給することにより2のn乗=64階調の正極性および負極性階調電圧VP1～VP64、VN1～VN64のうちデータ信号DATAの論理に対応した1つの階調電圧VPx、VNxを384本の各データ線に奇数線と偶数線とで極性が互い違いとなるようにして1水平期間ごとに交互に出力するもので、主回路として、シフトレジスタ121、データレジスタ122、データラッチ123、レベルシフタ124、デジタルアナログ変換回路（以下、DAコンバータという）25およびボルテージフォロア出力回路126を有している。シフトレジスタ121は、例えば、64ビット双方向性でシフト方向切換え信号R/Lにより、例えば、右シフト・スタートパルス入出力STHRが選択され、1水平期間ごとに、クロック信号CLKのエッジでスタートパルスSTHRの“H”レベルを読み込み、データ取込み用の制御信号C1、C2、…、C64を順次生成し、データレジスタ122に供給する。データレジスタ122は、1水平期間ごとに、シフトレジスタ121の制御信号C1、C2、…、C64に基づき、6ビット×6ドット（RGB×2）の36ビット幅で供給される1走査線分のデータ信号DATAを取込む。データラッチ123は、1水平期間ごとに、データレジスタ122に取込まれた1走査線分のデータ信号DA

TA をストローブ信号 STB のタイミングで保持するとともにレベルシフタ 1 2 4 に一括供給する。レベルシフタ 1 2 4 は、1 水平期間ごとに、データラッチ 1 2 3 からのデータ信号 DATA を電圧レベルを高めて DA コンバータ 1 2 5 に供給する。DA コンバータ 1 2 5 は、1 水平期間ごとに、奇数出力と偶数出力とで極性が互い違いとなるようにして、各出力に対応して内部に含まれる階調電圧発生回路で生成された 6 4 階調の階調電圧のうちデータ信号 DATA に対応する各 1 つの階調電圧をボルテージフォロア出力回路 1 2 6 に供給する。ボルテージフォロア出力回路 1 2 6 は、1 水平期間ごとに、供給された階調電圧を駆動能力を高めて 3 8 4 本の各データ線に奇数線と偶数線とで極性が互い違いになるように出力する。

【0 0 0 7】

次に、データ側ドライバ 1 2 0 の半導体チップ上での構成を図 4 を参照して説明する。図 4 において、2 0 1 は長尺矩形の半導体チップで、半導体チップ 2 0 1 には、長辺に沿う中央部に内部回路 2 0 2 が配置されている。図示しないが、長辺に沿う両外周部の内、液晶パネル側に配置される外周部にデータ線 3 8 4 本分に対応した出力用パッドが内部回路 2 0 2 と接続されて配置され、反対側の外周部にスタートパルス入出力、シフト方向切り替え入力、クロック入力、データ入力、ラッチ入力等の入力用パッドと正電源、負電源、 γ 補正電源の電源用パッドが内部回路 2 0 2 と接続されて配置されている。尚、出力用パッドの一部は液晶パネル側の長辺の他に短辺または入力側の長辺にも配置されることがある。内部回路 2 0 2 内はレイアウト的に例えば、 L 個 = 6 個の出力を有する回路ブロック 2 0 3 を $M = S / L = 6 4$ 段、チップ長尺方向に隣接配置し、全体で $S = 3 8 4$ 個の出力となるように構成している。回路ブロック 2 0 3 は奇数段目の回路ブロック 2 0 3 a と偶数段目の回路ブロック 2 0 3 b とで回路配置が一部異なっている。

【0 0 0 8】

次に、回路ブロック 2 0 3 a, 2 0 3 b について図 5 を参照して説明する。尚、DA コンバータに含まれる階調電圧発生回路および外部からの電源入力や信号入力の図示を省略する。回路ブロック 2 0 3 a, 2 0 3 b は、クロック入力のエ

ッジでスタートパルスのHレベルを読込むことによりデータ取込み用の制御信号を生成する1段が6出力に対応する1段のシフトレジスタ211と、シフトレジスタ211からの制御信号により、例えばnビットとして6ビットの表示データを取り込む6段のデータレジスタ212と、データレジスタ212の奇数段であるi段目($i = 1, 3, 5$)と偶数段である($i + 1$)段目に取込まれた表示データを交互に出力する2入力2出力の3段の第1切り替えスイッチ213と、第1切り替えスイッチ213からの表示データをストロブ信号STBのタイミングで保持するとともに一括出力する6段のラッチ214と、ラッチ214からの表示データの電圧レベルを次段回路を駆動できるレベルに変換する6段のレベルシフタ215と、64階調の正の階調電圧が供給されレベルシフタ215からの表示データに基づき各段からその階調電圧のうち1つずつを出力する3段をチップ長尺方向に隣接して一まとめにしたPチャネル型ROMデコーダ(以下、P-ROMデコーダという)216Pと、64階調の負の階調電圧が供給されレベルシフタ215からの表示データに基づき各段からその階調電圧のうち1つずつを出力する3段をチップ長尺方向に隣接して一まとめにしたNチャネル型ROMデコーダ(以下、N-ROMデコーダという)216Nとを半導体チップ201の長尺方向に隣接配置したDAコンバータ216と、DAコンバータ216からの正および負の階調電圧を交互に一出力側と他出力側に出力する2入力2出力の3段の第2切り替えスイッチ217と、第2切り替えスイッチ217の一出力側と他出力側からの階調電圧を奇数段と偶数段にそれぞれ出力する6段のボルテージフォロア出力回路218とをボルテージフォロア出力回路218を半導体チップ201の液晶パネル側の長辺側にして順次、段配置して構成し、シフトレジスタ211とデータレジスタ212間を配線221と、データレジスタ212と第1切り替えスイッチ213間を配線222と、第1切り替えスイッチ213とラッチ214間を配線223と、ラッチ214とレベルシフタ215間を配線224と、レベルシフタ215とDAコンバータ216間を配線225と、DAコンバータ216と第2切り替えスイッチ217間を配線226と、第2切り替えスイッチ217とボルテージフォロア出力回路218間を配線227とで接続している。

【 0 0 0 9 】

回路ブロック 2 0 3 a の D A コンバータ 2 1 6 の P - R O M デコーダ 2 1 6 P と N - R O M デコーダ 2 1 6 N が例えば、図 5 に示すように配置されているとすると回路ブロック 2 0 3 b の D A コンバータ 2 1 6 の P - R O M デコーダ 2 1 6 P と N - R O M デコーダ 2 1 6 N はこれとは逆配置され、隣接する回路ブロック 2 0 3 a と回路ブロック 2 0 3 b とで P - R O M デコーダ 2 1 6 P と N - R O M デコーダ 2 1 6 N とがミラー配置となるようにしている。各配線の詳細な接続および回路ブロック 2 0 3 a , 2 0 3 b の動作の説明は、省略する。

【 0 0 1 0 】

次に、D A コンバータ 2 1 6 に含まれる P - R O M デコーダ 2 1 6 P および N - R O M デコーダ 2 1 6 N の回路構成について説明する。P - R O M デコーダ 2 1 6 P は、図 6 に示すように、P チャネルエンハンスメント形トランジスタ 1 P と P チャネルデプレッション形トランジスタ 2 P (常時オン状態) とを所定位置で 6 4 行と 1 2 列にマトリックス配置している。各行はトランジスタ 1 P とトランジスタ 2 P とがトランジスタ 1 P のドレイン及びトランジスタ 2 P のソース又はトランジスタ 1 P のソース及びトランジスタ 2 P のドレインで直列接続されたものを一対としてそれらが更に六対組み合わせられトランジスタ直列回路 3 P を構成している。各行の各対は各対のトランジスタの一方のゲートが列毎に共通接続されたゲート列 4 P a と、他方のゲートが列毎に共通接続されたゲート列 4 P b とでゲート列対 4 P を構成している。各トランジスタ直列回路 3 P の一端側である第 1 列目のトランジスタ 1 P 又は 2 P のソースには図示しない階調電圧発生回路から 6 4 階調の正極性階調電圧 $V P 1 \sim V P 6 4$ がそれぞれ供給される。各ゲート列対 4 P には前段回路から液晶表示パネルのデータ線に対応する 6 ビットのデータ信号 $D 0, D 1, \dots, D 5$ がゲート列 4 P a に正相 $D 0, D 1, \dots, D 5$ で供給され、ゲート列 4 P b に逆相 $D 0 \text{バー}, D 1 \text{バー}, \dots, D 5 \text{バー}$ で供給される。各トランジスタ直列回路 3 P の他端側である第 1 2 列目のトランジスタ 1 P 又は 2 P のドレインは共通接続され、後段回路に正極性階調電圧 $V P 1 \sim V P 6 4$ のうちデータ信号 $D A T A$ に対応する 1 つの階調電圧 $V P x$ が出力される。

【 0 0 1 1 】

N-ROMデコーダ216Nは図7に示すように、Nチャネルエンハンスメント形トランジスタ1NとNチャネルデプレッション形トランジスタ2N（常時オン状態）とを所定位置で64行と12列にマトリックス配置している。各行はトランジスタ1Nとトランジスタ2Nとがトランジスタ1Nのドレイン及びトランジスタ2Nのソース又はトランジスタ1Nのソース及びトランジスタ2Nのドレインで直列接続されたものを一対としてそれらが更に六対組み合わせられトランジスタ直列回路3Nを構成している。各行の各対は各対のトランジスタの一方のゲートが列毎に共通接続されたゲート列4Naと、他方のゲートが列毎に共通接続されたゲート列4Nbとでゲート列対4Nを構成している。各トランジスタ直列回路4Nの一端側である第1列目のトランジスタ1N又は2Nのドレインには図示しない階調電圧発生回路から64階調の負極性階調電圧VN1～VN64がそれぞれ供給される。各ゲート列対4Nには前段回路から液晶表示パネルのデータ線に対応する6ビットのデータ信号D0, D1, ..., D5がゲート列4Naに正相D0, D1, ..., D6で供給され、ゲート列4Nbに逆相D1バー, D1バー, ..., D6バーで供給される。各トランジスタ直列回路3Nの他端側である第12列目のトランジスタ1N又は2Nのドレインは共通接続され、後段回路に負極性階調電圧VN1～VN64のうちデータ信号DATAに対応する1つの階調電圧VNxが出力される。

【0012】

以上の構成のP-ROMデコーダ216PおよびN-ROMデコーダ216Nの動作を説明する。各トランジスタ直列回路3P, 3Nの一端側である第1列目のトランジスタ1P, 1N又は2P, 2Nのソースに64階調の階調電圧VP1～VP64, VN1～VN64が与えられる。この状態で各ゲート列対4P, 4Nに”H（ハイレベル）”又は”L（ロウレベル）”の所定のデータ信号D0, D1, ..., D5がゲート列4Pa, 4Naに正相D0, D1, ..., D5で供給され、ゲート列4Pb, 4Nbに逆相D0バー, D1バー, ..., D5バーでそれぞれ供給されると各トランジスタ直列回路3P, 3Nの内選択された1つのトランジスタ直列回路3P, 3Nのトランジスタ1P, 1Nがすべてオン状態（トランジスタ2P, 2Nは常時オン状態）となり、そのトランジスタ直列回路3P,

3 Nに与えられている階調電圧 V_{Px} 、 V_{Nx} が取り出される。

【0013】

次に、回路ブロック203a、203b内のDAコンバータ216のP-ROMデコーダ216PとN-ROMデコーダ216Nの半導体チップ201上でのパターン配置は、回路ブロック203aのDAコンバータ216のP-ROMデコーダ216PとN-ROMデコーダ216Nが例えば、図5に示すように配置されているとして、回路ブロック203aの場合を例として図8に示すと、3段を一まとめにしたP-ROMデコーダ216Pが3段を一まとめにしたN-ROMデコーダ216Nにチップ長尺方向（図面で右側）に隣接して配置されている。P-ROMデコーダ216PはP型半導体基板11に配置されたNウェル12内に、64行12列のマトリックス配置されたトランジスタ1P、2PのソースおよびドレインとなるP型拡散層13Pと、6対のゲート列対4Pとなるゲート配線14Pとを3段分含んで構成されている。各第1列目のトランジスタ1P又は2PのソースとなるP型拡散層13Pは行毎に金属配線15Pにより電氣的に共通接続（●印で図示する）され階調電圧発生回路から各正極性階調電圧 $V_{P1} \sim V_{P64}$ がそれぞれ供給されるようになっている。各第12列目のトランジスタ1P又は2PのドレインとなるP型拡散層13Pは列毎に金属配線16Pにより電氣的に共通接続（■印で図示する）され後段回路に正極性階調電圧 $V_{P1} \sim V_{P64}$ のうち表示データに対応する1つの階調電圧 V_{Px} が出力されるようになっている。N-ROMデコーダ216NはNウェル12にチップ長尺方向（図面で左側）に隣接してP型半導体基板11内に、64行12列のマトリックス配置されたトランジスタ1N、2NのソースおよびドレインとなるN型拡散層13Nと、6対のゲート列対4Nとなるゲート配線14Nとを3段分含んで構成されている。各第1列目のトランジスタ1N又は2NのドレインとなるN型拡散層13Nは行毎に金属配線15Nにより電氣的に共通接続（●印で図示する）され階調電圧発生回路から各負極性階調電圧 $V_{N1} \sim V_{N64}$ がそれぞれ供給されるようになっている。各第12列目のトランジスタ1N又は2NのソースとなるN型拡散層13Nは列毎にポリシリコンおよび金属または金属からなる配線16Nにより電氣的に共通接続（■印で図示する）され後段回路に負極性階調電圧

VN1 ～ VN64のうち表示データに対応する1つの階調電圧VN_xが出力されるようになっている。P型拡散層13PとN型拡散層13Nはチップ短尺方向に互いに半ピッチずらして配置にしている。回路ブロック203bの場合は、図8とは逆に3段を一まとめにしたP-ROMデコーダ216Pが3段を一まとめにしたN-ROMデコーダ216Nにチップ長尺方向（図面で左側）に隣接して図8と同様の構成で配置されている。

【0014】

次に、ROMデコーダ216N、216Pのゲート配線14N、14Pの半導体チップ201上での従来のパターン配置について、P-ROMデコーダ216Pのゲート配線14Pを例に図9を参照して説明する。1ビット分のP-ROMデコーダ216Pには、ゲート列4Paおよび4Pbからなる六対のゲート列対4Pを構成する12本のゲート配線14Pとして、図9に示すように、それぞれ一様な配線幅L、例えば、 $L = 2 \mu\text{m}$ で、ゲート配線間の間隔Sが、例えば、 $S = 1 \mu\text{m}$ のゲート配線24Pが形成されている。このパターン配置は、N-ROMデコーダ216Nのゲート配線14Nも同一である。従って、ROMデコーダ216N、216Pの各行の六対のエンハンスメント形トランジスタ1N、1Pとデプレッション形トランジスタ2N、2P（常時オン状態）は、ゲート長（＝ゲート配線幅L）が同一寸法である。

【0015】

【特許文献1】

特開2000-221927号公報

【0016】

【発明が解決しようとする課題】

ところで、上述のデータ側ドライバ120において、半導体チップ上のROMデコーダ216N、216Pのレイアウト面積およびゲート容量を更に低減したいという要求がある。そこで、本発明者は、ROMデコーダ216N、216Pのゲート配線14N、14Pに目をつけた。すなわち、ゲート列対4N、4Pは、各行において、必ず一対のエンハンスメント形トランジスタ1N、1Pとデプレッション形トランジスタ2N、2P（常時オン状態）で構成され、トランジス

タ 1 N, 1 P は所定のゲート長 (ゲート配線幅) L を必要とするのに対して、トランジスタ 2 N, 2 P は常時オン状態に設計されており、トランジスタとして機能させるためのゲート長は不要であり、導線としての機能を有しておればよいということに目をつけた。

本発明は上記要求に鑑みてなされたものであり、その目的とするところは、常時オン状態に設計のデプレッション形トランジスタのゲート長を短くすることにより、ROM デコーダのレイアウト面積およびゲート容量を低減させた液晶駆動用半導体集積回路装置を提供することにある。

【 0 0 1 7 】

【課題を解決するための手段】

本発明の液晶駆動用半導体集積回路装置は、階調レベルを表す n (n は 2 以上の整数) ビットのデータ信号に対応して 2 の n 乗階調の階調電圧のうちの 1 つの階調電圧を選択する n ビットの ROM デコーダを有し、その ROM デコーダは、1 ビットごとに、データ信号が正転および反転で入力される対向する一対のゲート配線が配置され、その一対のゲート配線のそれぞれに、2 の n 乗対からなるエンハンスメント形トランジスタとデプレッション形トランジスタ (常時オン状態) とが、片方ずつで所定配置された液晶駆動用半導体集積回路装置において、前記一対のゲート配線のそれぞれのゲート配線において、前記デプレッション形トランジスタ上を含み前記エンハンスメント形トランジスタまでのゲート配線幅を前記対向する内側で凹状になるように幅狭にしたことを特徴とする。

上記液晶駆動用半導体集積回路装置において、前記一対のゲート配線のそれぞれのゲート配線において、前記エンハンスメント形トランジスタが連続配置されたエンハンスメント形トランジスタ間のゲート配線幅を前記対向する内側で凹状になるように幅狭にしたことを特徴とする。

また、上記液晶駆動用半導体集積回路装置において、前記幅狭なゲート配線幅が、エンハンスメント形トランジスタ上のゲート配線幅の 2 分の 1 であることを特徴とする。

【 0 0 1 8 】

【発明の実施の形態】

以下に、本発明に基づき、液晶駆動用半導体集積回路装置としての一実施例のデータ側ドライバについて説明する。このデータ側ドライバは、従来技術で述べたデータ側ドライバと図4乃至図8に示す構成が同一であり、ROMデコーダ216N、216Pのゲート配線14N、14Pの半導体チップ201上でのパターン配置が図9に示す従来のパターン配置とは異なる。以下、ROMデコーダ216N、216Pのゲート配線14N、14Pの半導体チップ201上でのパターン配置について、P-ROMデコーダ216Pのゲート配線14Pを例に図1を参照して説明する。1ビット分のP-ROMデコーダ216Pには、ゲート列4Paおよび4Pbからなる六対のゲート列対4Pを構成する12本のゲート配線14Pとして、ゲート配線34Pがパターン配置されている。このゲート配線34Pは、デプレッション形トランジスタ2P（常時オン状態）上を含みエンハンスメント形トランジスタ1Pまでのゲート配線幅を、各ゲート列対4Pの対向するゲート配線34Pの内側で凹状になるように、トランジスタ1P上のゲート配線幅L、例えば、 $L = 2\mu\text{m}$ の2分の1としている。このパターン配置は、N-ROMデコーダ216Nのゲート配線14Nも同様に形成する。

【0019】

従来のゲート配線24Pでは、一对のゲート列対4Pのチップ長尺方向のレイアウト寸法 $T = (\text{ゲート配線幅 } L + \text{ゲート配線間隔 } S) \times 2 = (2\mu\text{m} + 1\mu\text{m}) \times 2 = 6\mu\text{m}$ を必要とした。これに対して、本発明のゲート配線34Pでは、一对のゲート列対4Pのチップ長尺方向のレイアウト寸法 $T = ((\text{ゲート配線幅 } L / 2) + (\text{ゲート配線幅 } L / 2 \text{ とゲート配線間隔 } S \text{ との共用})) \times 2 + \text{ゲート配線間隔 } S = (1\mu\text{m} + 1\mu\text{m}) \times 2 + 1\mu\text{m} = 5\mu\text{m}$ となり、一对のゲート列対4Pのチップ長尺方向のレイアウト寸法Tは、20%低減できる。ゲート配線の面積が低減されるので、ゲート容量も低減できる。

【0020】

尚、上記実施例では、エンハンスメント形トランジスタ1Pがゲート列内で連続配置されている場合、トランジスタ1P間のゲート配線幅をLのままとしたが、 $L/2$ のゲート配線幅としてもよい。

また、上記実施例では、ゲート配線の幅狭な箇所の寸法を $L/2$ としたが、こ

れに限定されず、Lより小さく導線として機能する範囲内であればよい。

また、ROMデコーダは、上記実施例の図6乃至図8に示したものに限定されず、ROMデコーダとして1ビット×1階調入力分をエンハンスメント形トランジスタとデプレッション形トランジスタ（常時オン状態）との一対で構成するものであれば適用できる。

また、データ側ドライバは、上記実施例の図3乃至図5に示したものに限定されず、入力された階調レベルを表すデジタル信号をアナログ信号の階調電圧に変換するROMデコーダを備え、そのROMデコーダとして1ビット×1階調入力分をエンハンスメント形トランジスタおよびデプレッション形トランジスタ（常時オン状態）の一対で構成するものであれば適用できる。この条件を満たしておれば、勿論、ライン反転駆動法を用いたものにも適用できる。

【0021】

【発明の効果】

本発明によれば、液晶駆動用半導体集積回路装置に含まれる階調レベルを表す n （ n は2以上の整数）ビットのデータ信号に対応して2の n 乗階調の階調電圧のうちの1つの階調電圧を選択する n ビットのROMデコーダは、1ビットごとに、データ信号が正転および反転で入力される対向する一対のゲート配線が配置されている。その一対のゲート配線のそれぞれに、エンハンスメント形トランジスタとデプレッション形トランジスタ（常時オン状態）とを一対とする2の n 乗対が、片方ずつで所定配置されている。一対のゲート配線のそれぞれのゲート配線において、デプレッション形トランジスタ（常時オン状態）上を含みエンハンスメント形トランジスタまでのゲート配線幅を内側で凹状になるように幅狭にしている。その結果、ゲート配線幅が幅狭になった分、両方のゲート配線が配置されるチップ長尺方向のレイアウト寸法を低減できるとともに、ゲート配線面積が低減でき、ROMデコーダのレイアウト面積およびゲート容量を低減させた液晶駆動用半導体集積回路装置を提供することができる。

【図面の簡単な説明】

【図1】 本発明の一実施例である図8のP-ROMデコーダの1段分のゲート配線のパターン配置を示す図。

【図 2】 液晶表示装置の概略構成図。

【図 3】 図 2 の液晶表示装置に用いられるデータ側ドライバの概略構成を示すブロック図。

【図 4】 図 3 のデータ側ドライバとして構成される半導体チップの概略平面図。

【図 5】 図 4 の半導体チップに配置された回路ブロックの概略構成図。

【図 6】 図 5 の回路ブロックに含まれる P-ROM デコーダの 1 段分の回路図。

【図 7】 図 5 の回路ブロックに含まれる N-ROM デコーダの 1 段分の回路図。

【図 8】 図 5 の回路ブロックに含まれる P-ROM デコーダと NROM デコーダの半導体チップ上での概略平面パターン図。

【図 9】 図 8 の P-ROM デコーダの 1 段分のゲート配線のパターン配置を示す図。

【符号の説明】

1 N, 1 P エンハンスメント形トランジスタ

2 N, 2 P デプレッション形トランジスタ (常時オン状態)

4 P a, 4 P b ゲート列

3 4 P ゲート配線

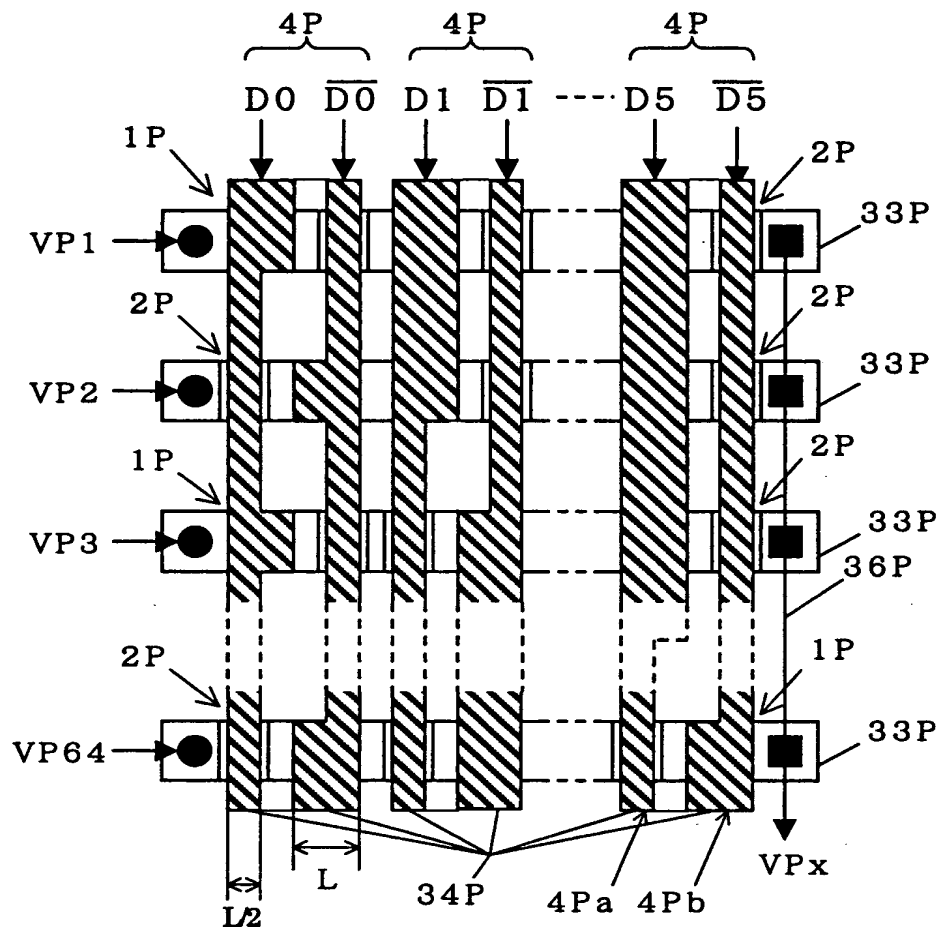
2 0 1 半導体チップ

2 1 6 P P-ROM デコーダ

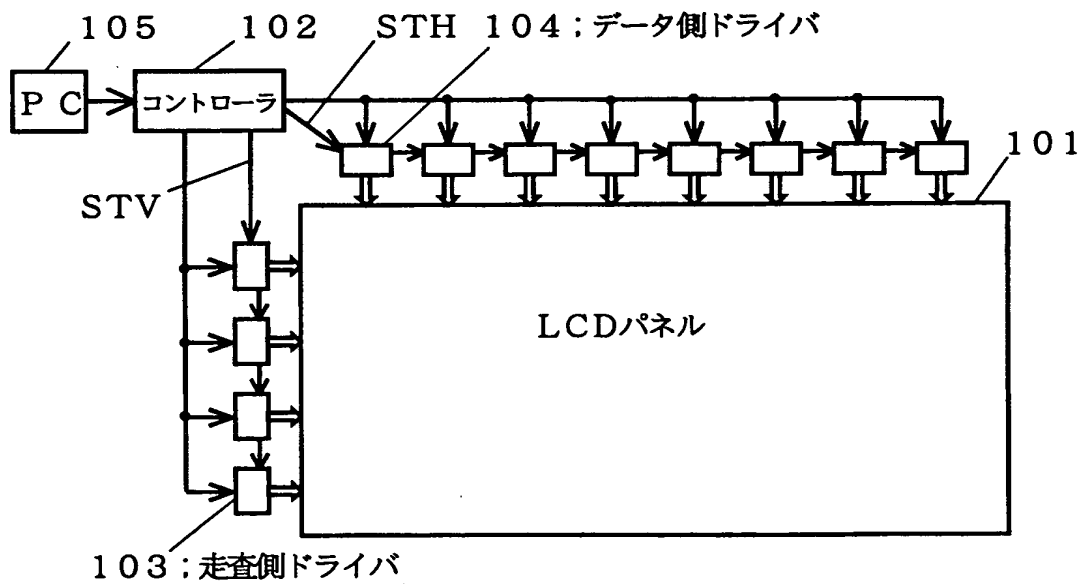
2 1 6 N N-ROM デコーダ

【書類名】 図面

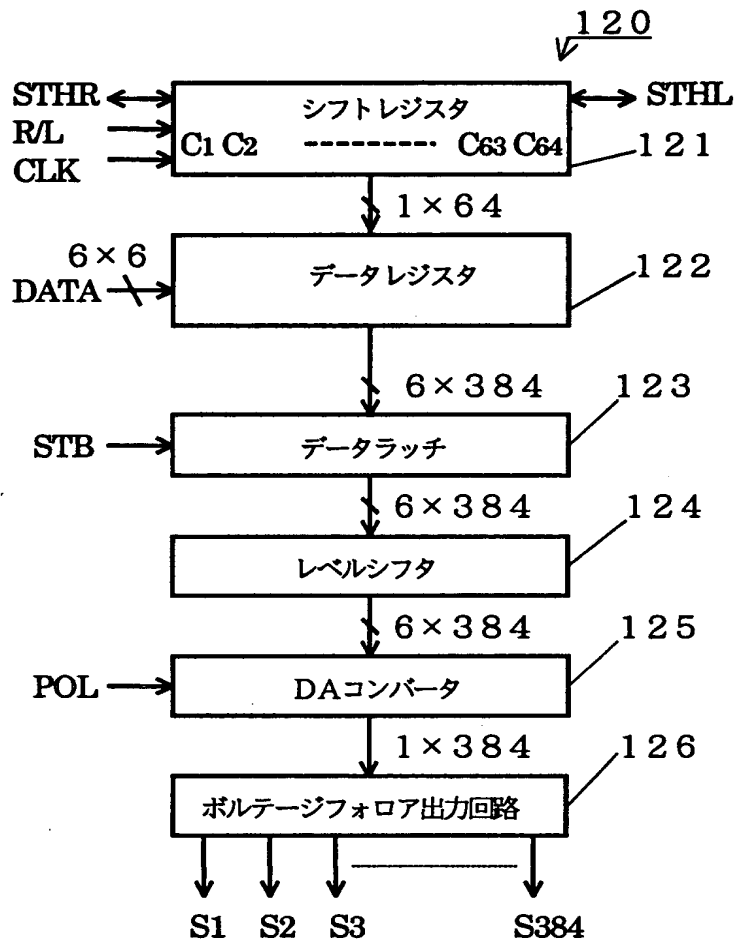
【図 1】



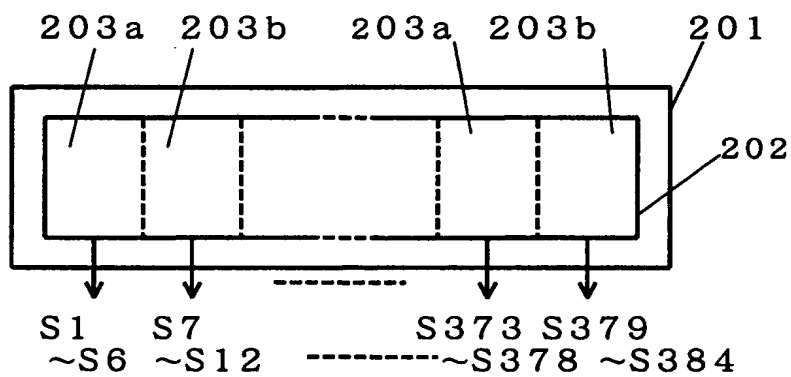
【図 2】



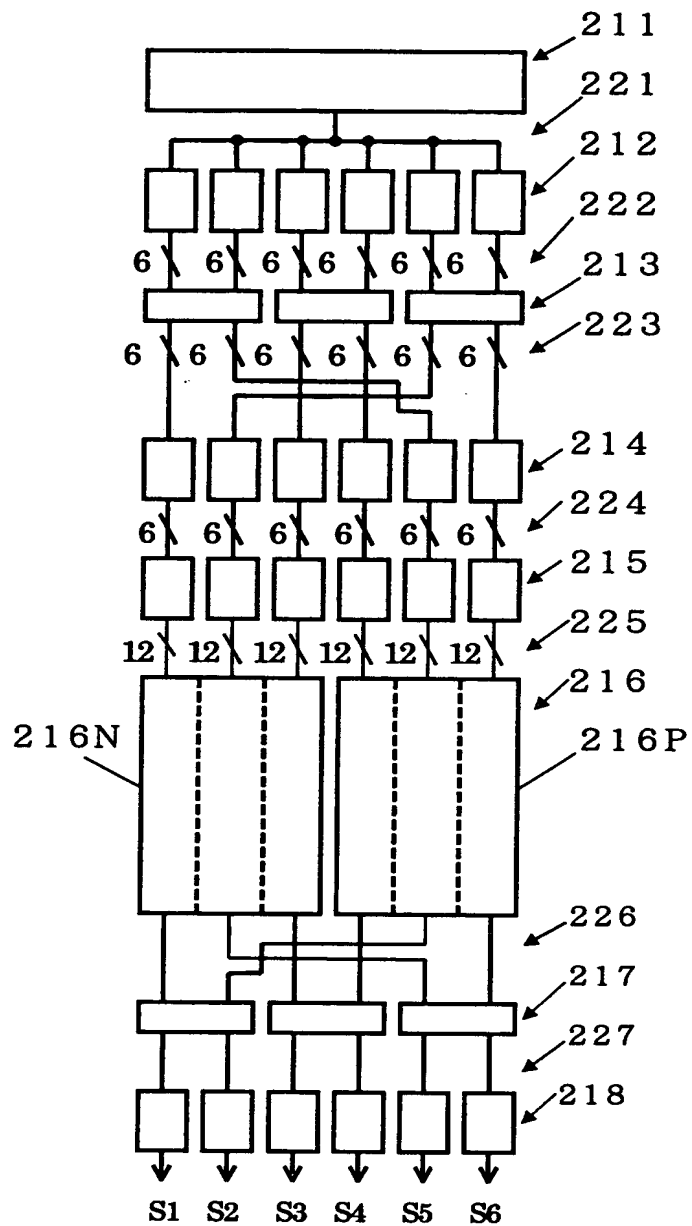
【図3】



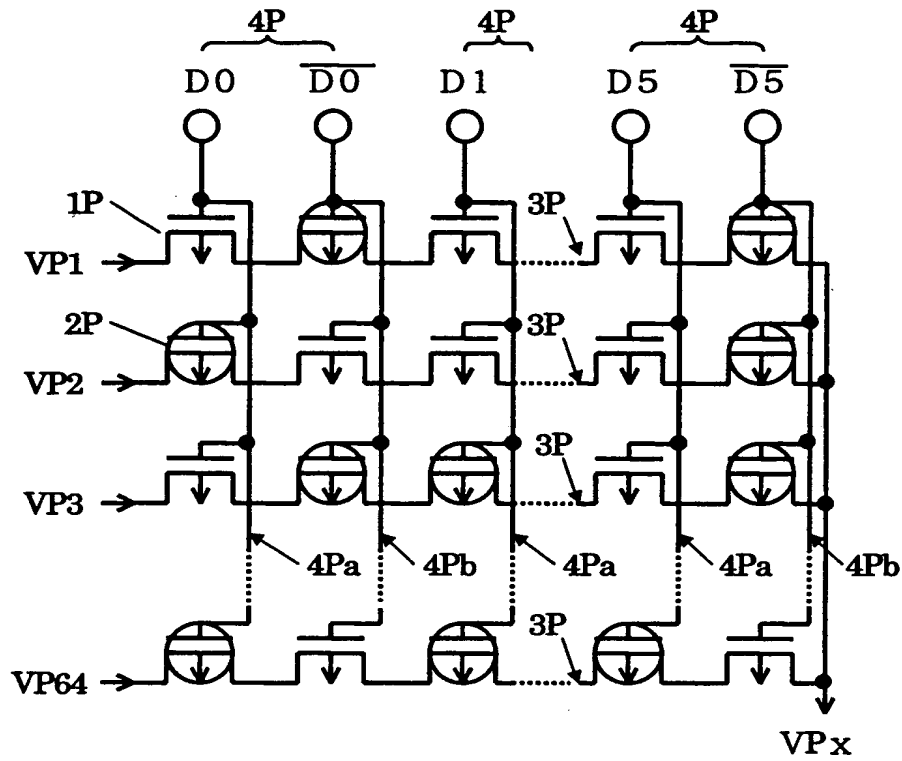
【図4】



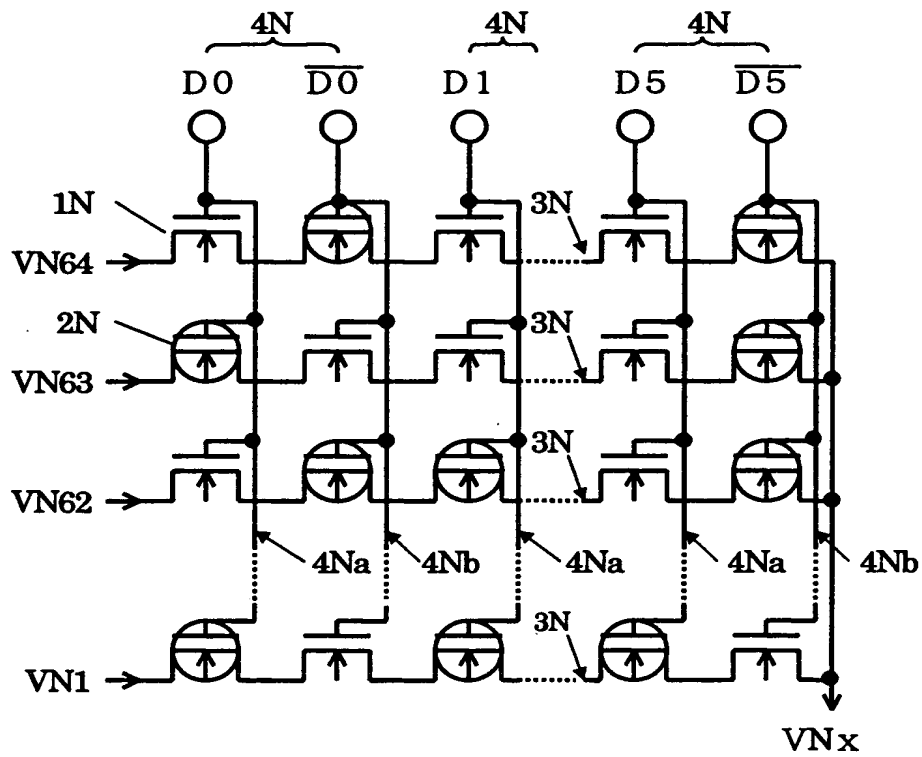
【図 5】



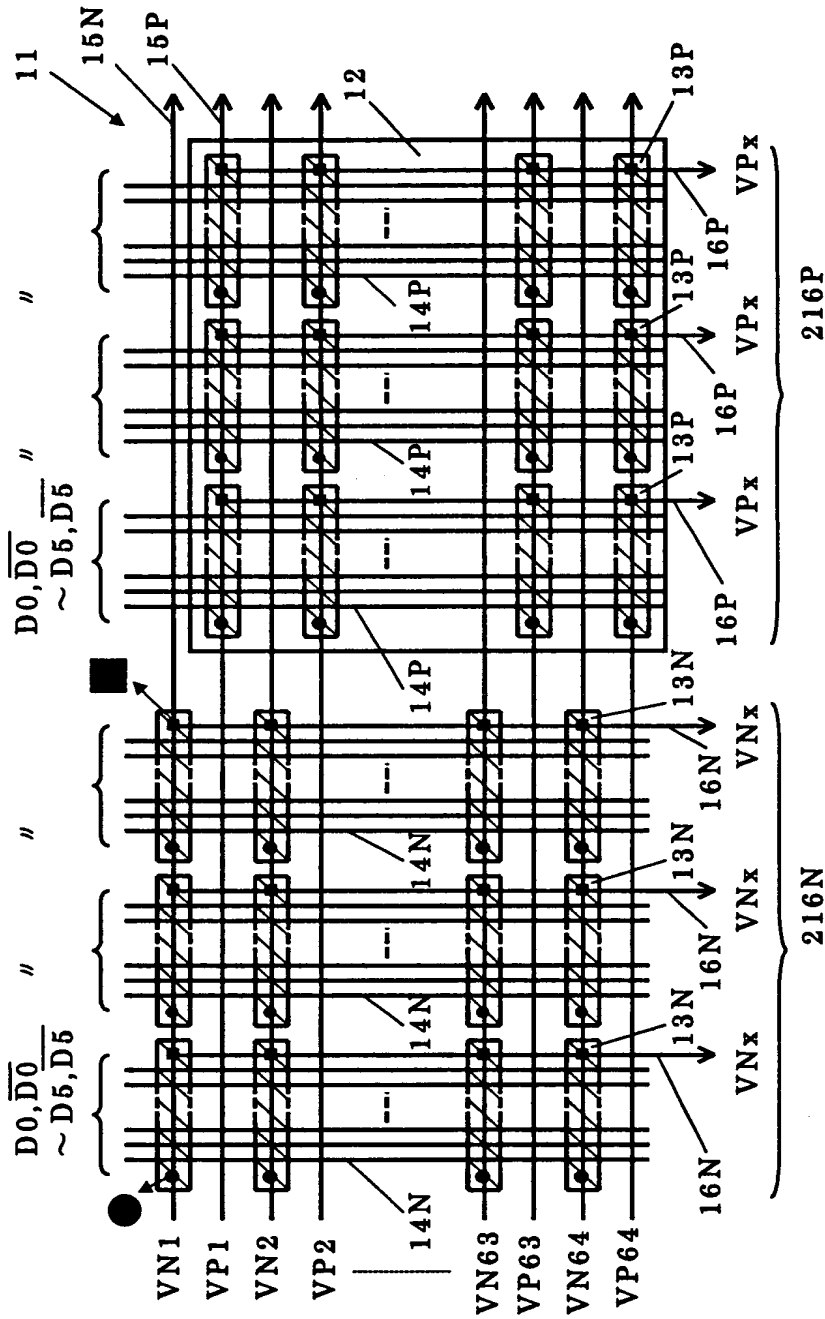
【図 6】



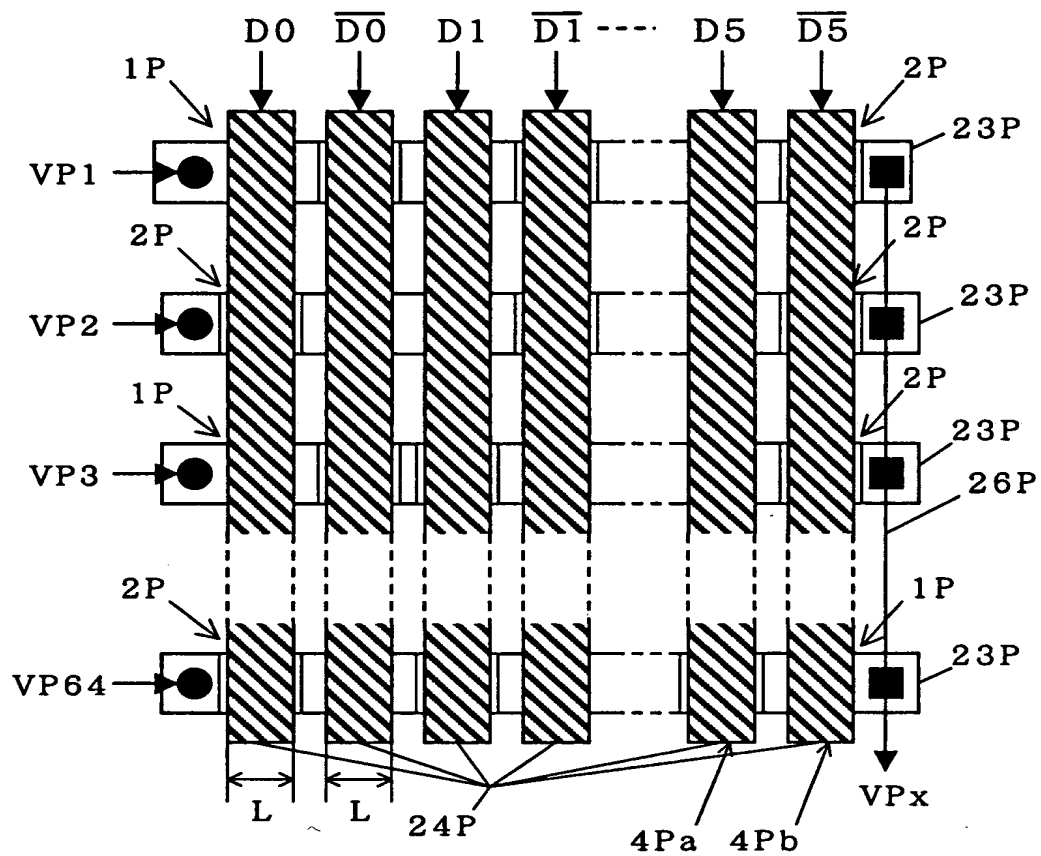
【図 7】



【図 8】



【図9】



【書類名】 要約書

【要約】

【課題】 ROMデコーダのレイアウト面積およびゲート容量を低減させた液晶駆動用半導体集積回路装置を提供する。

【解決手段】 P-ROMデコーダ216Pに配置されるゲート配線34Pは、階調レベルを表すデジタル信号の1ビット分が正転および反転で入力される対向する2本のゲート配線34Pを一对として、それらのゲート配線34Pの内側でデプレッション形トランジスタ2P（常時オン状態）上を含んで、エンハンスメント形トランジスタ1Pまでのゲート配線幅をトランジスタ1P上のゲート配線幅Lの2分の1にして形成している。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000156950]

1. 変更年月日 1990年 8月 8日

[変更理由] 新規登録

住 所 滋賀県大津市晴嵐2丁目9番1号

氏 名 関西日本電気株式会社